

一种 OTP 存储器高速读出机制的设计

袁蕊林, 陈奕含, 罗 前, 李 曼, 李 平

(电子科技大学 电子薄膜与集成器件国家重点实验室, 四川 成都 610054)

摘 要: 本文设计了一种用于 OTP 存储器的高速读出机制. 该读出机制由内部电路产生读控制时序, 采用地址变化探测电路、脉冲宽度调整及控制信号产生电路、采样与锁存电路来实现读取操作. 其具有电路结构简单, 读出速度快, 读出准确, 抗噪声、抗干扰能力强, 功耗低的特点. 仿真结果表明整个读取周期仅为 24ns, 数据口的读出信号稳定准确, 不会产生读取误操作.

关键词: OTP; 存储器; 地址变化探测; 读出机制

中图分类号: TN4

文献标识码: A

文章编号: 1000-7180(2012)01-0089-04

Design of a High Speed Read-Out Mechanism for OTP Memory

YUAN Rui-lin, CHEN Yi-han, LUO Qian, LI Man, LI Ping

(State Key Laboratory of Electronic Thin Films and Integrated Devices, University of Electronic Science and Technology of China, Chengdu 610054, China)

Abstract: A high speed read-out mechanism for OTP memory is proposed. The mechanism produces read control timing by its internal circuits. Address transition detection (ATD), pulse width modulation, control signal generation, sampling and latch modules are adopted in the proposed circuit, achieving good performance in simplicity, rapidity, accuracy, tolerance of noise and interference and low power consumption. Simulation shows that the entire reading period is merely 24ns and the read-out process can be completed stably and accurately without mistakes.

Key words: OTP; memory; address transition detection; read-out mechanism

1 引言

与传统的非易失性读写存储器件^[1]相比, OTP (one time programmable) 存储器^[2]具有很好的保密性以及抗辐照性能. 因此 OTP 存储器在保密性要求高、只需一次编程等场合, 以及航空航天、太空等系统的应用非常广泛. OTP 存储器通常没有时钟信号, 其读取时序必须在电路内部产生, 这就对读取操作提出了很高的要求, 即要保证既快速又准确无误地读出存储的值. 极端环境的存储器, 通常都会从电路上进行加固处理^[3-4], 而本文提出的读出机制, 是从存储器读出电路的架构上来提高其速度和可靠性.

文中设计了一种高速读出机制, 用于 64 Kbit

OTP 存储器. 该 64 Kbit OTP 存储器包括存储阵列、地址译码器、灵敏放大器(sense amplifier, SA)、控制逻辑、编程电路、数据输入输出电路 6 个部分. 无需外部时钟, 该机制在芯片内部由地址变化探测(address transition detection, ATD)电路^[5]产生脉冲波形, 再由脉冲宽度调整及控制信号产生电路产生读控制信号, 用这些读控制信号来控制 SA^[6]以及采样和锁存电路. 该机制保证了快速而准确的读取操作, 并且具有抗噪声、抗干扰能力强, 功耗低的特点.

2 读出机制的系统构成和各功能电路

2.1 系统构成

该读出机制的系统构成如图 1 所示. 当地址输

入无变化时,ATD 模块输出恒为高电平,后面的模块不工作;当地址输入有变化时,ATD 模块输出一个低电平脉冲,该脉冲经过脉冲宽度调整及控制信号产生模块后产生 S0、S1、S2、S3 四个控制信号,其中 S0、S1 用于控制 SA 进行读取操作,S2、S3 分别用于控制第一级、第二级采样锁存电路. S0、S1、S2、

S3 四个控制信号的相对延时关系以及信号的有效电平宽度都必须经过仔细的设计,由 OTP 存储器存储单元的特性,以及设计的读取阈值来决定. 在 64 Kbit OTP 存储器系统中,结合了所用的存储单元的特性,以及所设定的 SA 的读取阈值,设计了适当的 S0、S1 以及 S2、S3 的相对延时和脉冲宽度.

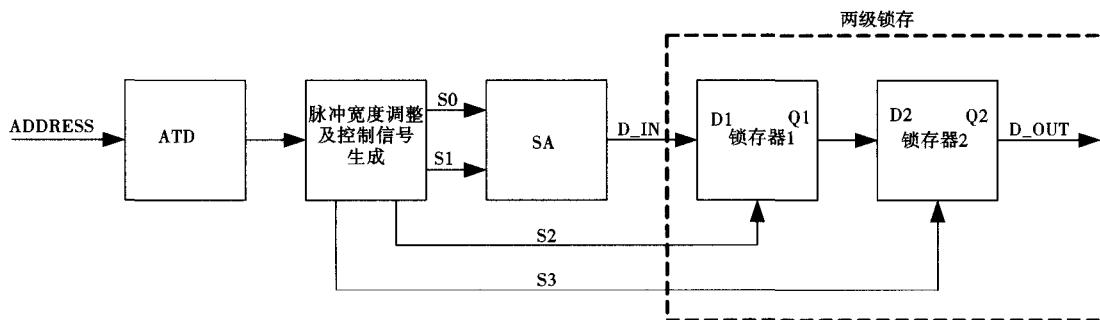


图1 系统构成

其仿真结果如图 2 所示. 从上往下依次为地址信号、ATD 电路输出脉冲、S0、S1、S2、S3 信号. S0、S1 为低电平有效,S2、S3 为高电平有效. 从图 2 中可以看出整个读取周期(从地址开始到最后一级采样输出结束)为 24ns. 这个时间基本上就是电路所决定的能够准确读写的硬件所消耗的时间,因此,采用这样的读出机制具有速度快的特点,不局限于系统时钟(相对于同步存储系统)的快慢.

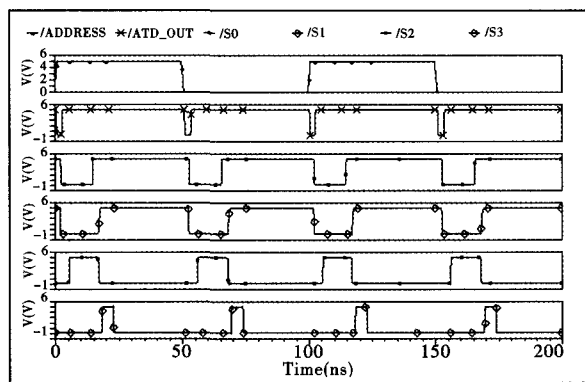


图2 系统构成的仿真波形

2.2 ATD 电路

ATD 电路实际上是一种边沿检测电路,可以用一个简单的延时单元来控制所产生脉冲的宽度. 本文所用的 ATD 电路为双边沿检测电路,电路结构如图 3 所示. 其中 ADDRESS 端口为地址信号输入,ATD_OUT 端口为检测电路输出. 只要地址输入有变化,无论是从 0 变为 1(上升沿),还是从 1 变为 0(下降沿),由于延时单元的存在,会使得到达图中的与或非门的输入端 A、D 的信号比到达输入端

B、C 的信号滞后一个延时单元的传播延时时间,从而在经过与或非门之后产生一个低电平脉冲,脉冲宽度由延时单元的传播延时决定. 如果地址输入没有变化,那么 ATD 电路就不会有脉冲输出,后面的读取电路就不会工作,降低了功耗. 保证了地址每变化一次,后面的控制电路就产生一次有效控制信号,每一次读取操作都受地址切换的控制,保证了读取操作的准确性. 仿真结果如图 2 中第一、第二根信号所示. 从图 2 中可以看出,在 ADDRESS 信号的每一个变化的边沿之后,都会产生一个低电平脉冲信号 ATD_OUT,脉冲宽度为 2.5ns.

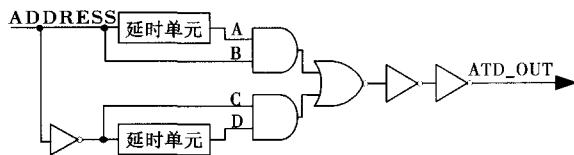


图3 ATD 电路

2.3 脉冲宽度调整及控制信号产生电路

由 ATD 电路产生的脉冲信号宽度只有 2.5ns,且只有一路信号,并不能直接用于控制 SA 和采样锁存电路,必须先经过脉冲宽度和相位的调整,产生多路控制信号,分别用于控制 SA 进行读取操作,以及控制第一级、第二级采样锁存器的采样与锁存.

脉冲宽度调整及控制信号产生电路如图 4 所示. 其中 ATD_OUT 为 ATD 电路的低电平脉冲输出信号,OE 为输出使能信号,ADDRESS 是地址信号,WOUT 为宽度调整以后的脉冲输出信号,WOUT 为低电平有效. ATD_OUT 信号经过脉冲宽度调整模块之后宽度展宽为 13ns.

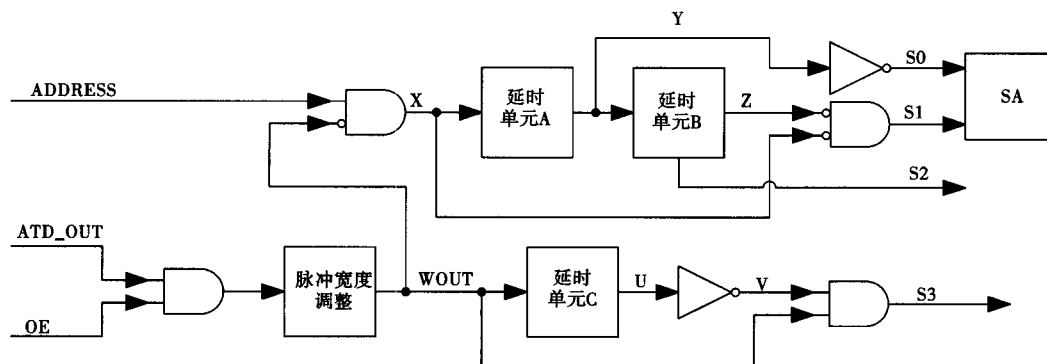


图4 脉冲宽度调整即控制信号产生电路

功耗方面,有两点降低功耗的措施^[7]:

(1) 将 ATD_OUT 信号与 OE 相与,只有 OE 输出使能有效的时候,才将 ATD_OUT 脉冲送给后面的电路产生相应的控制信号,OE 无效时,后面的逻辑电路不翻转。

(2) 将 ADDRESS 信号与 WOUT 的反相信号相与,只让地址选中的行产生控制 SA 的信号,而地址没有选中的行将不产生 SA 的控制信号,同样也减少了逻辑门的翻转,从而达到减少动态功耗的效果。

控制方面:

(1) 将低电平有效的 WOUT 信号送入延时单元 C 进行一小段时间的延时,得到信号 U,然后将信号 U 反相,得到信号 V,最后信号 V 再与 WOUT 信号相与,得到一个宽度较窄的高电平有效的、脉冲宽度为 5ns 的信号 S3, S3 用于控制第二级采样锁存。

(2) 将 WOUT 的反相信号与 ADDRESS 信号相与,得到一个高电平有效的信号 X,将信号 X 经过延时单元 A 延时后得到信号 Y,将信号 Y 反相后得到低电平有效的、脉冲宽度为 13ns 的 S0 信号, S0 用于控制 SA 的预充电。

(3) 信号 Y 经过延时单元 B 后得到信号 Z 以及信号 S2。S2 的脉冲宽度为 13ns,高电平有效,用于控制第一级采样锁存;

(4) 将信号 Z 与信号 X 分别反相之后再相与,得到一个低电平有效的、脉冲宽度为 16ns 的信号 S1。S1 的有效电平比 S0 提前延时单元 A 及一个反相器的传播延时时间出现。S1 用于控制 SA 的清零 MOS 管。

值得注意的是,由于 S2 与 Z 是同步的,从信号 Z 到信号 S1 经过了一个反相器及一个与门的延时,因此 S2 信号的无效边沿(下降沿)比 S1 的无效边沿

(上升沿)要早两个器件延时。这点很重要,因为这样保证了第一级锁存器比放电操作提前两个门延时时间关断(S2 信号变为无效)。同时这个提前的时间不能太长,因为如果提前过多就关断采样的话,留给 SA 的建立读取稳态的时间将对减少了。这样做可以保证读取和采样的准确性。

脉冲宽度调整及控制信号产生电路的仿真波形如图 2 所示。从图 2 中可以看出 S0、S1、S2 及 S3 四个信号的脉冲宽度以及相对的先后时序关系。S0 的有效脉冲宽度要设计为足够宽以保证预充电能充电到高电平,此处为 13ns。S1 的有效脉冲宽度要比 S0 的宽,此处为 16ns,且 S1 的下降沿出现在 S0 的下降沿之前,保证预充电开始时放电的 MOS 管已经关断;另外 S1 的上升沿出现在 S0 的上升沿之后。S3 的有效电平出现在 S2 的有效电平之后。这样做是为了确保读出的值准确无误。

2.4 采样与锁存电路

为了读取操作准确无误,增加存储器的可靠性,在读取通路上增加了两级采样锁存电路。如图 1 中虚线框中的部分所示。D_IN 为 SA 的输出信号, S2、S3 为控制信号, D_OUT 为第二级锁存器的输出信号。第一级位于 SA 之后,第二级位于数据输出端口。使得,只有在第一级采样信号有效的时间里,第一级锁存器采样 SA 的读出数据,其他时间锁存器采样关断,保持之前采样的读出信号,此时 SA 的输出信号对锁存器没有影响;另外,第二级采样信号的有效电平设计在第一级采样信号的有效电平结束之后出现,保证第二级采样的信号是第一级锁存器锁存后的稳定的信号。由于设计两级锁存器的采样信号有效时间没有重叠,这就保证了读出数据的可靠性,防止了 SA 的误读取对输出数据的影响;同时也大大减少了读取通路上数据被破坏的可能性,提高了存储器的抗噪声,抗干扰能力,提高了可靠性。

图 5 为两级锁存器的仿真波形. 可以看出 D_IN 有较大的毛刺(图 5 中第一根信号圈起来的地方), 经过第一级锁存器采样以后的输出为 Q1, 可以看出 Q1 的毛刺明显减少, 但是在 S2 信号的第一和第三个有效高电平期间, 输入 D_IN 发生了变化, 导致 Q1 发生变化(图 5 中第三根信号圈起来的地方), 这个变化是由于在此时 SA 才读出了所存储的真实值(此处为“0”), 因此 Q1 上的值只有在采样信号 S2 无效, 即第一级锁存器关断以后才是真实可靠的. 因此设计信号 S3 的有效电平出现在 S2 的有效电平之后. Q1 经过 S3 采样以后的输出为 D_OUT. 从图 5 中可以看出, 经过两级采样锁存以后的输出信号 D_OUT 完全消除了前面输入信号的毛刺; 在 S3 有效电平期间 D_OUT 没有任何翻转, 读出了真实的值, 实现了准确、稳定的读取操作.

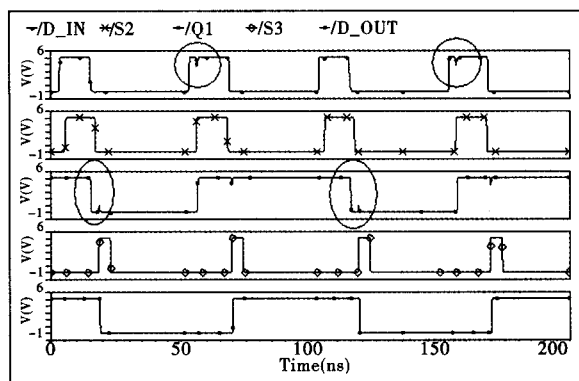


图 5 两级锁存器仿真波形

3 结束语

本文设计了一种用于 OTP 存储器的高速读出机制. 由内部电路产生读控制时序. ATD 电路只有在地址有变化以后才产生控制脉冲, 有了控制脉冲以后, SA、采样锁存器等读出电路才会工作. 这就防止了读取误操作, 同时也减少了电路的功耗. 仿真结

果表明整个读取周期仅为 24ns, 数据口的读出信号稳定准确, 不会产生读取误操作. 该机制从存储器读出电路的架构上提高其可靠性, 采用该机制并配合以具体电路级的提高可靠性的措施, 存储器的可靠性可以得到很好的提高, 具有读出速度快, 读出准确, 抗噪声、抗干扰能力强的特点.

参考文献:

- [1] Jan M Rabaey, Anantha Chandrakasan, Borivoge Nikolic. 数字集成电路——电路、系统与amp;设计 [M]. 周润德, 译. 北京: 电子工业出版社, 2004: 477-484.
- [2] Li W T, McKenzie D R, Wiszniewski W. A comparative study of the on-off switching behavior of metal-insulator-metal antifuses [J]. IEEE Electron Device Letters, 1998, 19(9): 295-297.
- [3] 李侃, 伍冬, 王雪强, 等. 基于 SOI-SONOS 存储器的高速辐照加固灵敏放大器设计 [J]. 微电子学与计算机, 2010, 27(5): 22-26.
- [4] 王丹, 岳素格, 孙永姝, 等. 深亚微米抗辐射加固设计的 SPICE 仿真验证方法 [J]. 微电子学与计算机, 2010, 27(6): 80-84.
- [5] 潘培勇, 赵琳娜, 王春早, 等. 一种新型地址变化探测技术在 SRAM 中的应用 [J]. 微计算机信息: 嵌入式与 SOC, 2007, 23(2-2): 282-283.
- [6] Antonino Conte, Gianbattista Lo Giudice, Gaetano Palumbo, et al. A high-performance very low-voltage current sense amplifier for nonvolatile memories [J]. IEEE Journal of Solid-State Circuits, 2005, 40(2): 507-514.
- [7] 马芝. 低功耗方法在 SoC 芯片设计中的应用 [J]. 中国集成电路, 2010(134): 38-41.

作者简介:

袁蕊林 男, (1984—), 硕士研究生. 研究方向为大规模集成电路与系统设计、数字集成电路后端设计.